

PAT-NO: JP357115857A  
DOCUMENT-IDENTIFIER: JP 57115857 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: July 19, 1982

INVENTOR-INFORMATION:

NAME

INABA, TORU

MATSUDA, TOSHIHIRO

TAKAGI, TATSUHAYA

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP56001221

APPL-DATE: January 9, 1981

INT-CL (IPC): H01L027/06, H01L029/72 , H01L029/78

US-CL-CURRENT: 257/E27.111

ABSTRACT:

PURPOSE: To obtain a semiconductor device with a small parasitic capacitance performing a high speed logical operation by a method wherein a semiconductor layer is formed on a substrate having dielectric property such as sapphire, and on the surface of it a bipolar transistor is provided.

CONSTITUTION: On a sapphire substrate 10 whose surface is mirror polished an N<SP>-</SP> type Si layer 11 is grown by epitaxial growth, its surface is covered by an SiO<SB>2</SB> film 12 and by removing a part

of this an  
N<SP>+</SP> type buried layer 13 which reaches the  
substrate 10 is formed by  
diffusion in a part of the layer 11. Next after the film  
12 is removed, on all  
surface an N<SP>-</SP> type layer 14 is grown epitaxially,  
and by ion implanted  
using an SiO<SB>2</SB> film 15 as a mask a P type base  
region 16 for a bipolar  
transistor element which reaches the layer 13, a P type  
isolation region 17  
which reaches the substrate 10, and a P type region 18 for  
an N channel MOSFET  
element are formed. Subsequently a P<SP>+</SP> type base  
contact region 23 and  
an N<SP>+</SP> type emitter region 26 in the region 16, an  
N<SP>+</SP> type  
emitter region 26 in the region 16, an N<SP>+</SP>  
collector contact region 27  
and P<SP>+</SP> type source-drain regions 24 and 25 in a  
layer 14 between which  
the region 17 is put, and an N<SP>+</SP> type source-drain  
regions 28 and 29 in  
the region 18 are individually formed by diffusion.

COPYRIGHT: (C)1982,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-115857

⑬ Int. Cl.<sup>3</sup>  
H 01 L 27/06  
29/72  
29/78

識別記号

庁内整理番号  
6426-5F  
7514-5F  
7377-5F

⑭ 公開 昭和57年(1982)7月19日

発明の数 3  
審査請求 未請求

(全 4 頁)

⑮ 半導体装置とその製造法

⑯ 特 願 昭56-1221

⑰ 出 願 昭56(1981)1月9日

⑱ 発 明 者 稲葉透

小平市上水本町1450番地株式会  
社日立製作所武蔵工場内

⑲ 発 明 者 松田敏弘

小平市上水本町1450番地株式会

社日立製作所武蔵工場内

⑳ 発 明 者 高木辰逸

小平市上水本町1450番地株式会

社日立製作所武蔵工場内

㉑ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5  
番1号

㉒ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置とその製造法

特許請求の範囲

1. サファイア又は絶縁物であって半導体単結晶の成長可能な結晶構造を有する基板と、この基板上に形成された半導体層及び半導体層表面に形成されたバイポーラトランジスタとから成ることを特徴とする半導体装置。

2. サファイア又は絶縁物であって半導体単結晶の成長可能な結晶構造を有する基板と、この基板上に形成された半導体層及び半導体層をそれと異なる導電型の半導体領域により電気的に分離し、分離された領域に個々に形成されたバイポーラトランジスタ及びMOS電界効果トランジスタから成ることを特徴とする半導体装置。

3. サファイア基板上にエピタキシャル成長により第1の半導体層を形成する工程、第1の半導体層の一部に埋込み層とするための高濃度不純物拡散する工程、第1の半導体層上にエピタキシャル成長による第2の半導体層を形成する工程、第2

の半導体層の表面から第1の半導体層の底面に達するそれらと異なる導電型の半導体領域を素子分離領域として形成する工程、分離された領域にバイポーラトランジスタ及びMOS電界効果トランジスタを形成する工程とを有する半導体装置の製造法。

発明の詳細な説明

本発明はバイポーラ、MOS・IC(半導体集積回路装置)技術に関する。

バイポーラトランジスタ及びC-MOSFET(相補型MOS電界効果トランジスタ)を含む半導体論理回路装置においては、通常、第1図に示すように、基板に低不純物濃度(高抵抗)のP型Si(シリコン)基板1を用い、この上にエピタキシャル成長による基板と導電型の異なる低不純物濃度N型Si層2を形成し、このSi層表面から基板に達する基板と同じ電型のP型領域を部分的に形成し、これを一部は素子分離領域8とし、他の一部はNチャネルMOSFETを形成のためのPウェル領域4とし、基板と異なる導

特開昭57-115857(2)

電型の $N^-$  Si層の一部は $P^-$ 基板との間に基板と異なる導電型の低抵抗の $N^+$ 埋込層5を形成してバイポーラNPNトランジスタ素子を形成し、基板と異なる導電型の $N^-$  Si層の他の一部はPチャネルMOSFETを形成するための領域6としている。前記したように基板には高抵抗半導体が使われているために、バイポーラ素子では低抵抗の $N^+$ 埋込層と基板との間の接合容量による大きな寄生容量 $C_j$ を生じやすく、又、基板と異なる導電型の $N^-$  Si層に形成されたMOS素子では $P^-$ 基板との界面で同じく接合容量による寄生容量 $C_j$ を生じ、このため論理回路として高速化が充分にできない問題があった。

本発明は上記した問題点を解消するべくなされたもので、その目的は基板としてサファイア板を用いることにより寄生容量を低減し、論理動作の高速化の実現にある。

以下本発明を第2図(a)~(j)で示したバイポーラC-MOSICのプロセスに従って詳細に説明する。

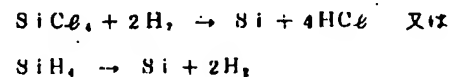
埋込層13上のPウェル16はバイポーラトランジスタ素子のP型ベースとなるべき部分であり、基板10に達するPウェルの一部は素子分離のためのアイソレーション層17となり、又、基板に達するPウェルの他の一部はNチャネルMOSFET素子の形成されるべき領域18となる。又、Pウェルの形成されない $N^-$ 層19の一部はPチャネルMOSFET素子の形成されるべき領域となる。

(f) アイソレーション層17の表面を過酸化して厚い $SiO_2$ 膜20を形成する。この過酸化のためにアイソレーション層以外の領域の表面に $Si_3N_4$ 膜21を形成してこれを耐酸化マスクに使用する。

(g) バイポーラ素子となる領域のPウェル表面の $SiO_2$ 膜22の一部を窓開してBをデポジット・拡散し $P^+$ ベースコンタクト部23を形成する。これと同じ工程又は別工程で $N^-$ 層表面の $SiO_2$ 膜の一部を窓開してBをデポジット・拡散し、PチャネルMOSFETの $P^+$ ソース・ドレイン24,25を形成する。

(a) サファイア板10の一主面を鏡面研磨したものを基板として用意する。

(b) サファイア基板10の表面に例えば



のごとき化学反応法により生成したSiをエピタキシャル成長(第1回)させて低不純物濃度の $N^-$  Si層11を形成する。

(c) Si層11表面酸化により形成した $SiO_2$ 膜12の一部をマスクとしてドナ(例えば $Sb, As$ )等をデポジットし、拡散することにより $N^+$ 埋込層13を形成する。

(d)  $SiO_2$ 膜をエッチ除去した後全面に第2回のエピタキシャル成長による $N^-$  Si層14を形成し、2層のエピタキシャル $N^-$  Si層の厚さが1~10 $\mu m$ 程度となるようにする。

(e) 新たに表面に生成した $SiO_2$ 膜15をマスクにしてアクセプタ(例えばB)のイオン打込み拡散により表面より基板10又は $N^+$ 埋込層13表面に達するPウェルを形成する。このうち、 $N^+$

(h) バイポーラ素子となる領域上の $SiO_2$ 膜の一部を窓開してP(リン)又は $As$ (ヒ素)をデポジット・拡散し、 $N^+$ エミッタ26及び $N^+$ コレクタコンタクト部27を形成する。これと同じ工程でPウェル表面の $SiO_2$ 膜の一部を窓開してP又は $As$ をデポジット・拡散し、NチャネルMOSFETの $N^+$ ソース・ドレイン28,29を形成する。

(i) Pチャネル及びNチャネルMOSFETとなるべき領域のソース・ドレイン間の $SiO_2$ 膜を一たん除去し、ゲート酸化を行なって薄いゲート $SiO_2$ 膜30,31を形成する。

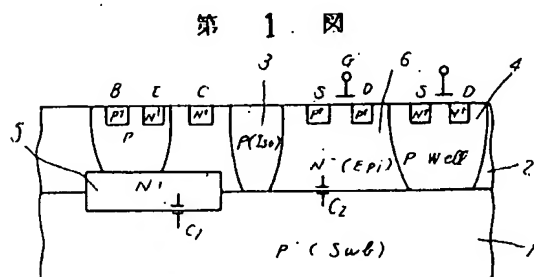
(j) 各領域のコンタクトをとるコンタクトホトエッチを行ない、 $As$ を蒸着し、パターニングエッチすることによりバイポーラNPNトランジスタのベース電極B, エミッタ電極E, コレクタ電極Cを形成し、PチャネルMOSFETのソース電極 $S_1$ , ドレイン電極 $D_1$ , ゲート電極 $G_1$ を形成し、又NチャネルMOSFETのソース電極 $S_2$ , ドレイン電極 $D_2$ , ゲート電極 $G_2$ を形成する。

第1図は従来のバイポーラC-MOSICの例を示す模型断面図、第2図(a)~(j)は本発明によるバイポーラC-MOSICの製造プロセスを示す工程断面図である。

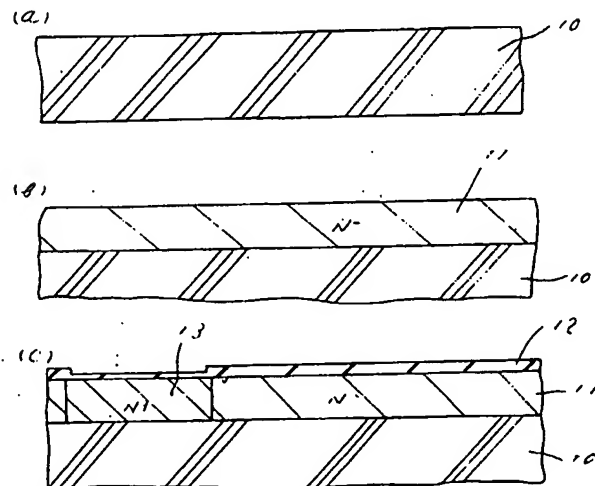
(5) サファイア蒸板上にエピタキシャル成長により Si 層を形成する場合、Si 層の底部に低抵抗の埋込層を形成することは困難であったが、エピタキシャル成長を 2 回に分けて行なうことにより、埋込層の形成が容易となった。

1…P<sup>-</sup>型Si基板、2…N<sup>-</sup>型Si層、3…  
 Pアイソレーション(素子分離領域)、4…Nチ  
 ャネルMOSFET形成のためのPウエル領域、  
 5…N<sup>+</sup>埋込層、6…PチャネルMOSFET形  
 成のためのN<sup>-</sup>層、10…サファイア基板、11  
 …第1回エピタキシャル成長N<sup>-</sup>Si層、12…  
 SiO<sub>2</sub>膜、13…N<sup>+</sup>埋込層、14…第2回エピ  
 タキシャル成長によるN<sup>-</sup>Si層、15…SiO<sub>2</sub>膜、  
 16…ベースとなるPウエル、17…アイソレ  
 ーション層、18…NチャネルMOSFETの形成  
 されるPウエル領域、19…PチャネルMOSFET  
 の形成されるN<sup>-</sup>層、20…アイソレーション層  
 表面に形成される厚いSiO<sub>2</sub>膜、21…Si、N、膜、  
 22…SiO<sub>2</sub>膜、23…P<sup>+</sup>ベースコンタクト部、  
 24…P<sup>+</sup>ソース、25…P<sup>+</sup>ドレイン、26…  
 N<sup>+</sup>エミッタ、27…N<sup>+</sup>コレクタ取出し部、  
 28…N<sup>+</sup>ソース、29…N<sup>+</sup>ドレイン。

代理人 弁理士 薄 田 利

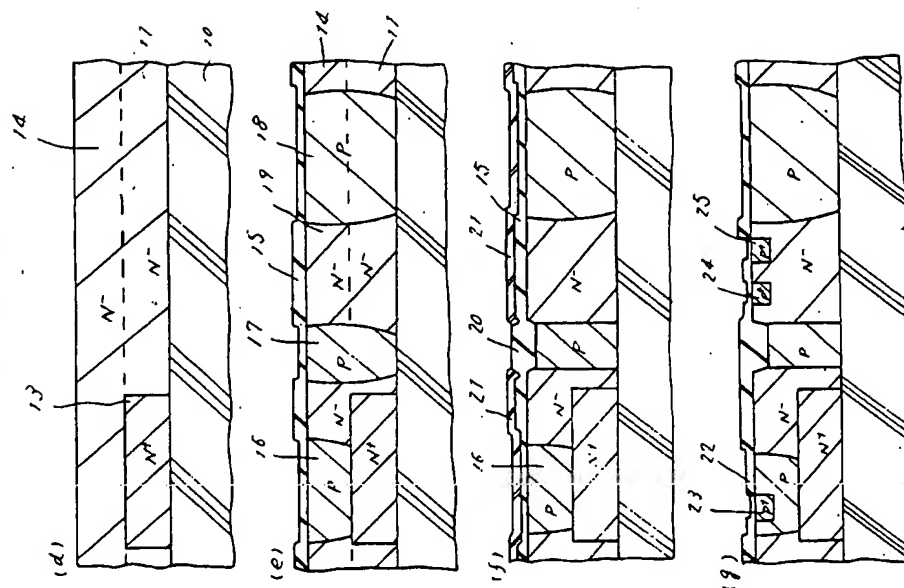


第 2 圖



BEST AVAILABLE COPY

第 2 図



第 2 図

